

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

16809024

Basic Patent (No,Kind,Date): EP 1096303 A2 20010502 <No. of Patents: 005>

ELECTRONIC DEVICE (English; French; German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): YAMAZAKI SHUNPEI (JP); KONUMA TOSHIMITSU (JP); KOYAMA JUN (JP); INUKAI KAZUTAKA (JP); MIZUKAMI MAYUMI (JP)

Designated States : (National) AT; BE; CH; CY; DE; DK; ES; FI; FR; GB; GR  
; IE; IT; LI; LU; MC; NL; PT; SE

IPC: \*G02F-001/135; H01L-027/00

CA Abstract No: \*134(23)334342U; 134(23)334342U

Derwent WPI Acc No: \*G 02-156317; G 02-156317

Language of Document: English

Patent Family:

| Patent No            | Kind | Date     | Applic No     | Kind | Date             |
|----------------------|------|----------|---------------|------|------------------|
| EP 1096303           | A2   | 20010502 | EP 2000123569 | A    | 20001027 (BASIC) |
| <b>JP 2001195015</b> | A2   | 20010719 | JP 2000328046 | A    | 20001027         |
| US 20020134979       | AA   | 20020926 | US 83004      | A    | 20020226         |
| US 6384427           | BA   | 20020507 | US 697685     | A    | 20001026         |
| US 6670637           | BB   | 20031230 | US 83004      | A    | 20020226         |

Priority Data (No,Kind,Date):

JP 99307866 A 19991029

JP 2000328046 A 20001027

US 83004 A 20020226

US 697685 A1 20001026

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06967446      \*\*Image available\*\*

ELECTRONIC DEVICE

PUB. NO.:      2001-195015 [JP 2001195015 A]

PUBLISHED:      July 19, 2001 (20010719)

INVENTOR(s): YAMAZAKI SHUNPEI  
KONUMA TOSHIMITSU  
KOYAMA JUN  
INUKAI KAZUTAKA  
MIZUKAMI MAYUMI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:      2000-328046 [JP 2000328046]

FILED:          October 27, 2000 (20001027)

PRIORITY:      11-307866 [JP 99307866], JP (Japan), October 29, 1999  
(19991029)

INTL CLASS:    G09F-009/30; H01L-029/786; H01L-021/336; H05B-033/14

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To provide an electronic device capable of displaying a bright picture.

**SOLUTION:** This device is provided with a pixel structure in which an FET for switching 201 and an FET for current control 202 are formed on a substrate 11 and an EL(electroluminescent) element 203 is connected electrically to the FET for current control 202. Since a voltage to be applied to the gate electrode 35 of the FET 200 is held by a gate capacitance existing between the gate electrode 35 and a LDD(lightly-doped-drain) region 33, a capacitor is not needed specially in a pixel and, thus, a pixel whose effective light emission area is large is obtained.

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-195015

(P 2 0 0 1 - 1 9 5 0 1 5 A)

(43) 公開日 平成13年7月19日 (2001. 7. 19)

| (51) Int. Cl. <sup>7</sup> | 識別記号 | F I        | テーマコード (参考) |
|----------------------------|------|------------|-------------|
| G09F 9/30                  | 365  | G09F 9/30  | 365 Z       |
|                            | 338  |            | 338         |
| H01L 29/786                |      | H05B 33/14 | A           |
| 21/336                     |      | H01L 29/78 | 616 A       |
| // H05B 33/14              |      |            |             |

審査請求 未請求 請求項の数 6 O L (全20頁)

(21) 出願番号 特願2000-328046 (P 2000-328046)  
(22) 出願日 平成12年10月27日 (2000. 10. 27)  
(31) 優先権主張番号 特願平11-307866  
(32) 優先日 平成11年10月29日 (1999. 10. 29)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 小沼 利光  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

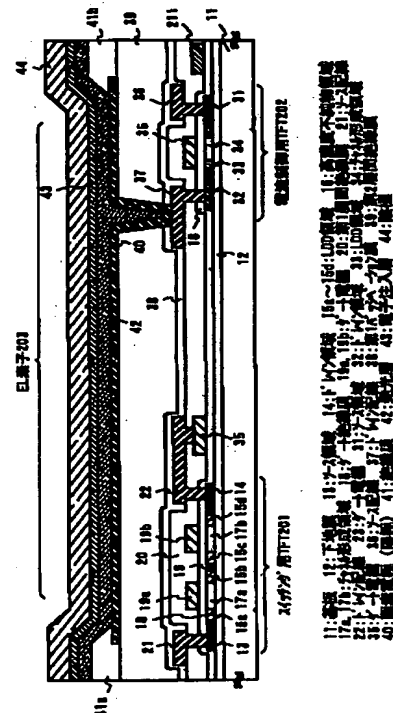
最終頁に続く

(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】 明るい画像表示の可能な電子装置を提供する。

【解決手段】 基板11上にスイッチング用FET201及び電流制御用FET202を形成し、電流制御用FET202にEL素子203が電氣的に接続された画素構造とする。電流制御用FET202のゲート電極35とLDD領域33との間のゲート容量によりゲート電極35にかかる電圧が保持されるため、画素内に特にコンデンサは必要なく、有効発光面積の大きい画素が得られる。



## 【特許請求の範囲】

【請求項1】第1のTFT、該第1のTFTのドレイン配線に電気的に接続されたゲート電極を有する第2のTFT及び該第2のTFTのドレイン配線に電気的に接続された発光素子を有し、

前記第2のTFTはpチャネル型TFTであり、該第2のTFTは、ゲート絶縁膜を挟んでゲート電極と一部もしくは全部が重なるように設けられたLDD領域を含むことを特徴とする電子装置。

【請求項2】第1のTFT、該第1のTFTのドレイン配線に電気的に接続されたゲート電極を有する第2のTFT及び該第2のTFTのドレイン配線に電気的に接続された発光素子を有し、

前記第1のTFTは複数のTFTが直列に接続された構造からなり、

前記第2のTFTはpチャネル型TFTであり、該第2のTFTは、ゲート絶縁膜を挟んでゲート電極と一部もしくは全部が重なるように設けられたLDD領域を含むことを特徴とする電子装置。

【請求項3】画素部及び駆動回路部を有する電子装置において、

前記駆動回路部は、ゲート絶縁膜を挟んでゲート電極に重なるように設けられたLDD領域を含むnチャネル型TFTを有し、

前記画素部は、第1のTFT、第2のTFT及び該第2のTFTに電気的に接続された発光素子を有し、

前記第2のTFTはpチャネル型TFTであり、該第2のTFTは、ゲート絶縁膜を挟んでゲート電極と一部もしくは全部が重なるように設けられたLDD領域を含むことを特徴とする電子装置。

【請求項4】画素部及び駆動回路部を有する電子装置において、

前記駆動回路部は、LDD領域がゲート絶縁膜を挟んでゲート電極に重なるように設けられたnチャネル型TFTを有し、

前記画素部は、第1のTFT、第2のTFT及び該第2のTFTに電気的に接続された発光素子を有し、

前記第1のTFTは複数のTFTが直列に接続された構造からなり、

前記第2のTFTはpチャネル型TFTであり、該第2のTFTは、ゲート絶縁膜を挟んでゲート電極と一部もしくは全部が重なるように設けられたLDD領域を含むことを特徴とする電子装置。

【請求項5】請求項1乃至請求項4のいずれか一において、前記第2のTFTのLDD領域には $1 \times 10^{15} \sim 5 \times 10^{17}$  atoms/cm<sup>2</sup>の濃度範囲でp型不純物元素が含まれていることを特徴とする電子装置。

【請求項6】請求項1乃至請求項5のいずれか一に記載の電子装置を用いたことを特徴とする電気器具。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電極間に発光性材料を挟んだ素子を有する電子装置及びその電子装置を表示部（表示ディスプレイまたは表示モニタ）に用いた電気器具に関する。特に、EL（Electro Luminescence）が得られる発光性材料（以下、EL材料という）を用いた電子装置に関する。

【0002】なお、本発明に用いることのできるEL材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

## 【0003】

【従来の技術】近年、発光性材料のEL現象を利用した発光素子（以下、EL素子という）を用いた電子装置（以下、EL表示装置という）の開発が進んでいる。EL表示装置は発光素子を用いた表示装置であるため、液晶ディスプレイのようなバックライトが不要であり、さらに視野角が広いため、屋外で使用する携帯型機器の表示部として注目されている。

【0004】EL表示装置にはパッシブ型（単純マトリクス型）とアクティブ型（アクティブマトリクス型）の二種類があり、どちらも盛んに開発が行われている。特に現在はアクティブマトリクス型EL表示装置が注目されている。また、ELを発する発光層となるEL材料は、有機EL材料と無機EL材料があり、さらに有機EL材料は、低分子系（モノマー系）有機EL材料と高分子系（ポリマー系）有機EL材料とに区別される。特に、低分子系有機EL材料よりも取り扱いが容易で耐熱性の高いポリマー系有機EL材料が注目されている。なお、有機EL材料を用いた発光装置を欧州ではOLED（Organic Light Emitting Diodes）と呼んでいる。

【0005】アクティブマトリクス型EL表示装置は、画素部を形成する各画素に電界効果トランジスタ、最近では薄膜トランジスタ（以下、TFTという）を設け、EL素子に流す電流量を前記TFTで制御する点に特徴がある。このようなアクティブマトリクス型EL表示装置の代表的な画素構造として、特開平8-241048号公報の図1に示すような構造が知られている。

【0006】同公報記載の画素構造は、一つの画素内に二つのトランジスタ（T1、T2）を設け、トランジスタ（T1）のドレインにはトランジスタ（T2）と並列にコンデンサ（Cs）が設けられている。このコンデンサは1フィールド期間もしくは1フレーム期間、トランジスタ（T2）のゲートにかかる電圧を保持するために必要であった。

【0007】しかしながら、二つのトランジスタとコンデンサとを画素内に形成するとこれらの素子が画素面積の殆どを占めてしまい、有効発光面積（発光層で発した光を取り出しうる面積）を落とす要因となっていた。

## 【0008】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、有効発光面積の大きい画素構造を用いることで明るい画像表示が可能な電子装置を提供することを課題とする。また、信頼性の高い電子装置を提供することを課題とする。さらに、その電子装置を表示部として用いた電気器具を提供することを課題とする。

【0009】さらに、上記高輝度の画像表示が可能な電子装置の製造コストを低減するためのプロセスを提供することを課題とする。

【0010】

【課題を解決するための手段】本発明では、EL素子に電流を供給するためのTFT（以下、電流制御用TFTという）のゲートにかかる電圧を、電流制御用TFTのゲート容量（ゲートと活性層との間に形成される寄生容量）で保持する点に特徴がある。即ち、特開平8-241048号公報の図1に示されたコンデンサ（Cs）の代わりに電流制御用TFT（特開平8-241048号公報の図1ではトランジスタ（T2）に相当する）のゲート容量を積極的に利用する。

【0011】そこで本発明では、pチャネル型TFTでなる電流制御用TFTのドレイン領域側に、ゲート絶縁膜を挟んでゲート電極と重なるようにLDD領域を形成する点に特徴がある。pチャネル型TFTは通常LDD領域を形成しないで用いられるが、本発明ではゲート容量を形成するために、LDD領域を設ける点に特徴がある。

【0012】このような構造とすることで実質的にコンデンサの専有面積を省略することができるため、有効発光面積を大幅に広げることができる。

【0013】また、本発明では大型基板から複数の電子装置を形成するプロセスを用いることで電子装置の製造コストの低減、即ち電子装置の低コスト化を図る。その際、既存の液晶ラインを転用しうるプロセスとし、設備投資を最小限に抑えることで大幅な製造コストの低減を図る点に特徴がある。

【0014】

【発明の実施の形態】本発明の実施の形態について、図1、図2を用いて説明する。図1に示したのは本発明であるEL表示装置の画素部の断面図であり、図2（A）はその上面図、図2（B）はその回路構成である。実際には画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。なお、図1及び図2で共通の符号を用いているので、適宜両図面を参照すると良い。また、図2の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【0015】図1において、11は基板、12は下地となる絶縁膜（以下、下地膜という）である。基板11としてはガラス基板、ガラスセラミックス基板、石英基板、シリコン基板、セラミックス基板、金属基板もしくは

はプラスチック基板（プラスチックフィルムも含む）を用いることができる。

【0016】また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜もしくは窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ で示される）など珪素、酸素もしくは窒素を所定の割合で含む絶縁膜を指す。

【0017】また、下地膜12に放熱効果を持たせることによりTFTの発熱を発散させることはTFTの劣化又はEL素子の劣化を防ぐためにも有効である。放熱効果を持たせるには公知のあらゆる材料を用いることができる。

【0018】ここでは画素内に二つのTFTを形成している。201はスイッチング用素子として機能するTFT（以下、スイッチング用TFTという）、202はEL素子へ流す電流量を制御する電流制御用素子として機能するTFT（以下、電流制御用TFTという）であり、スイッチング用TFT201はnチャネル型TFTで、電流制御用TFT202はpチャネル型TFTで形成されている。

【0019】ただし、本発明において、スイッチング用TFTと電流制御用TFTを上記組み合わせに限定する必要はなく、スイッチング用TFT201をpチャネル型TFTで形成することも可能であるし、スイッチング用TFTと電流制御用TFTの両者をnチャネル型TFTにすることも可能である。

【0020】スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、高濃度不純物領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。

【0021】また、図2に示すように、ゲート電極19a、19bは別の材料（ゲート電極19a、19bよりも低抵抗な材料）で形成されたゲート配線211によって電氣的に接続されたダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（複数のTFTが直列に接続された構造）であっても良い。

【0022】マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチングTFT201をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。さらに、スイッチング用TFT201においては、LDD領域15a~15dは、ゲート絶縁膜18を挟んでゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【0023】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【0024】このようにマルチゲート構造のTFTを画素のスイッチング用TFT201として用いると十分にオフ電流値を低くすることができる。即ち、オフ電流値が低いということは電流制御用TFTのゲートにかかる電圧をより長く保持できることを意味しており、特開平8-241048号公報の図1のような電位保持のためのコンデンサを小さくしたり、省略しても次の書き込み期間まで電流制御用TFTのゲート電圧を維持しようという利点が得られる。

【0025】次に、pチャネル型TFTでなる電流制御用TFT202は、ソース領域31、ドレイン領域32、LDD領域33及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0026】図1に示すように、スイッチング用TFT201のドレイン領域14は電流制御用TFT202のゲート電極35に接続されている。具体的には電流制御用TFT202のゲート電極35はスイッチング用TFT201のドレイン領域14とドレイン配線22を介して電気的に接続されている。また、ソース配線36は電流供給線（電源供給線ともいう）212（図2（A）参照）に接続される。

【0027】電流制御用TFT202はEL素子203に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TFT202に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり0.5～2μA（好ましくは1～1.5μA）となるようにする。

【0028】以上のことを踏まえると、図6に示すように、スイッチング用TFTのチャネル長をL1（但しL1=L1a+L1b）、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした時、W1は0.1～5μm（代表的には0.5～2μm）、W2は0.5～10μm（代表的には2～5μm）とするのが好ましい。また、L1は0.2～18μm

（代表的には2～15μm）、L2は1～50μm（代表的には10～30μm）とするのが好ましい。但し、本発明は以上の数値に限定されるものではない。

【0029】また、スイッチング用TFT201に形成されるLDD領域の長さ（幅）は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0030】また、図1に示したEL表示装置は、電流制御用TFT202において、ドレイン領域32とチャネル形成領域34との間にLDD領域33が設けられ、且つ、LDD領域33がゲート絶縁膜18を挟んでゲート電極35に重なっている点に特徴がある。この時、ゲート電極に重なったLDD領域の長さは0.1～3μm（好ましくは0.3～1.5μm）にすれば良い。

【0031】本発明では、ゲート電極と、ゲート絶縁膜を挟んでゲート電極に重なった活性層との間に形成される寄生容量（ゲート容量）を積極的に電圧保持（電荷保持）のためのコンデンサとして用いる点に特徴がある。

【0032】本実施形態では、図1に示すLDD領域33を形成することでゲート電極35と活性層（特にLDD領域33）との間のゲート容量を大きくし、そのゲート容量を電流制御用TFT202のゲートにかかる電圧を保持するためのコンデンサとして用いている。勿論、別途コンデンサを形成しても構わないが、本実施形態のような構造とすることでコンデンサを形成する面積を省略することができ、画素の有効発光面積を広げることが可能である。

【0033】特に、本発明のEL表示装置をデジタル駆動方式により動作させる場合は、上記電圧保持のためのコンデンサは非常に小さいもので済む。例えばアナログ駆動方式に比べて1/5程度、さらには1/10程度の容量で済む。具体的な数値はスイッチング用TFT及び電流制御用TFTの性能によるため一概には示せないが、5～30fF（フェムトファラド）もあれば良い。

【0034】さらに、図1のようにスイッチング用TFTの構造をマルチゲート構造としてオフ電流値の小さいものとすれば、電圧保持のためのコンデンサが必要とする容量はさらに小さいものとなる。従って、図1のようにゲート容量のみを電圧保持のためのコンデンサとして用いる構造であっても全く問題ない。

【0035】また、本実施形態では電流制御用TFT202をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0036】次に、38は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。また、第1パッシベーション膜38に放熱効果を持たせることは有効である。

【0037】第1パッシベーション膜38の上には、第

2層間絶縁膜(平坦化膜)39を形成し、TFTによってできる段差の平坦化を行う。第2層間絶縁膜39としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0038】第2層間絶縁膜39によってTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いので、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0039】また、40は透明導電膜でなる画素電極(EL素子の陽極)であり、第2層間絶縁膜39及び第1パッシベーション膜38にコンタクトホール(開孔)を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線37に接続されるように形成される。画素電極40としては酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物を主成分とする導電膜を用いることが好ましい。勿

論、他の透明導電膜との積層構造としても良い。

【0040】次に発光層42としてEL材料が形成される。EL材料としては無機EL材料と有機EL材料のどちらを用いても良いが、駆動電圧が低い有機EL材料が好ましい。また、有機EL材料としては、低分子系(モノマー系)有機EL材料または高分子系(ポリマー系)有機EL材料のどちらを用いても良い。

【0041】モノマー系有機EL材料としては、代表的にはAlq<sub>3</sub>(トリス-8-キノリライト-アルミニウム)やDSA(ジスチリルアリーレン誘導体)が知られているが、公知の如何なる材料を用いても良い。

【0042】また、ポリマー系有機EL材料としては、ポリパラフェニレンビニレン(PPV)、ポリビニルカルバゾール(PVK)、ポリフルオレンなどが挙げられる。勿論、公知の如何なる材料を用いても良い。具体的には、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレンもしくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

【0043】また、発光層中に蛍光物質(代表的には、クマリン6、ルブレン、ナイルレッド、DCM、キナクリドン等)を添加して発光中心を蛍光物質に移し、所望の発光を得ることも可能である。公知の蛍光物質は如何なるものを用いても良い。

【0044】発光層42としてモノマー系有機EL材料を用いる場合には、真空蒸着法で成膜すれば良い。また、ポリマー系有機EL材料を用いる場合にはスピンコート法、印刷法、インクジェット法もしくはディスペン

ス法を用いれば良い。但し、ポリマー系有機EL材料を成膜する際には、処理雰囲気(極力水分の少ない乾燥した不活性雰囲気)とすることが望ましい。本実施形態の場合、ポリマー系有機EL材料をスピンコート法により形成している。

【0045】ポリマー系有機EL材料は常圧下で形成されるが、有機EL材料は水分や酸素の存在によって容易に劣化してしまうため、形成する際は極力このような要因を排除しておく必要がある。例えば、ドライ窒素雰囲気、ドライアルゴン雰囲気等が好ましい。そのためには、発光層の形成装置を、不活性ガスを充填したクリーンブースに設置し、その雰囲気中で発光層の成膜工程を行うことが望ましい。

【0046】以上のようにして発光層42を形成したら、次に電子注入層43が形成される。電子注入層43としては、フッ化リチウム、アセチルアセトネート錯体などのモノマー系有機材料を用いる。勿論、ポリマー系有機材料や無機材料を用いても良い。膜厚は3~20nm(好ましくは5~15nm)で良い。

【0047】但し、以上の例は本発明の発光層または電子注入層として用いることのできる有機材料の一例であって、これに限定する必要はない。また、ここでは発光層と電子注入層との組み合わせを示したが、他にも正孔輸送層、正孔注入層、電子輸送層、正孔阻止層もしくは電子阻止層を組み合わせても良い。

【0048】電子注入層43の上には仕事関数の小さい導電膜でなる陰極44が設けられる。仕事関数の小さい導電膜としては、アルミニウム合金、銅合金、銀合金またはそれらと他の導電膜との積層膜を用いることができる。なお、陰極44は発光層等の有機EL材料を酸素や水分から保護するパッシベーション膜としての役割も果たしている。

【0049】陰極44まで形成された時点でEL素子203が完成する。なお、ここでいうEL素子203は、画素電極(陽極)40、発光層42、電子注入層43及び陰極44で形成されたコンデンサを指す。本実施形態では発光層42から発した光は基板11を透過して取り出されるため、画素内のTFTが存在しない部分が有効発光面積となる。本発明では電流制御用TFT202のゲート電圧を保持するためのコンデンサを電流制御用TFT202自身のゲート容量で賄っているため、有効発光面積が広く、明るい画像表示が可能となる。

【0050】なお、本実施形態ではトップゲート型TFTを用いた例としてプレーナ型TFTの構造を示したが、ボトムゲート型TFT(典型的には逆スタガ型TFT)であっても良い。

【0051】〔実施例1〕本発明の実施例について図3~図5を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆



動回路に関しては基本単位であるCMOS回路を図示することとする。

【0052】まず、図3(A)に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜302として窒化酸化珪素膜を積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10~25wt%としておくが良い。また、下地膜301に放熱効果を持たせることは有効であり、DLC(ダイヤモンドライクカーボン)膜を設けても良い。

【0053】次に下地膜301の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20~100nmの厚さであれば良い。

【0054】そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜もしくはポリシリコン膜ともいう)302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化方法、赤外光を用いたランプアニール結晶化方法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

【0055】なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。また、YAGレーザー光の第1~第4高調波を用いることもできる。

【0056】次に、図3(B)に示すように、結晶質珪素膜302上に酸化珪素膜でなる保護膜303を130nmの厚さに形成する。この厚さは100~200nm(好ましくは130~170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0057】そして、その上にレジストマスク304a、304bを形成し、保護膜303を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0058】この工程により形成されるn型不純物領域

305には、n型不純物元素が $2 \times 10^{18} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>)の濃度で含まれるようにドーズ量を調節する。

【0059】次に、新たにレジストマスク306a、306bを形成し、保護膜303を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。なお、p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロン又はガリウムを用いることができる。なお、本実施例ではジボラン

(B<sub>2</sub>H<sub>6</sub>)を質量分離しないでプラズマ励起したプラズマドーピング法を用いてボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。(図3(C))

【0060】この工程により形成されるp型不純物領域307、308には、p型不純物元素が $1 \times 10^{18} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>(代表的には $1 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>)の濃度で含まれる。このとき形成されるp型不純物領域307は後にnチャネル型TFTのチャネル形成領域となる部分を含む。このp型不純物元素はnチャネル型TFTのしきい値電圧の調節に用いられる。

【0061】次に、保護膜303を除去し、添加したn型不純物元素及びp型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜303をつけたままレーザー光を照射しても良い。

【0062】また、このレーザー光による不純物元素の活性化に際して、熱処理(ファーンズアニール)による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550℃程度の熱処理を行えば良い。

【0063】次に、図3(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)309~312を形成する。

【0064】次に、図3(E)に示すように、活性層309~312を覆ってゲート絶縁膜313を形成する。ゲート絶縁膜313としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0065】次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極314~318を形成する。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線(以下、ゲート配線という)とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用い

る。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっても構わない。

【0066】また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には $2\mu\text{m}$ 以下の線幅に

10 パターニング可能な材料が好ましい。  
【0067】代表的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0068】本実施例では、 $30\text{nm}$ 厚の窒化タングステン(WN)膜と、 $370\text{nm}$ 厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0069】またこの時、ゲート電極315、318はそれぞれn型不純物領域305、p型不純物領域308の一部とゲート絶縁膜313を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0070】次に、図4(A)に示すように、ゲート電極314~318をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域319~326にはn型不純物領域305の $1/2\sim 1/10$ (代表的には $1/3\sim 1/4$ )の濃度でリンが添加されるように調節する。具体的には、 $1\times 10^{16}\sim 5\times 10^{18}\text{atoms/cm}^3$ (典型的には $3\times 10^{17}\sim 3\times 10^{18}\text{atoms/cm}^3$ )の濃度が好ましい。

【0071】次に、図4(B)に示すように、ゲート電極等を覆う形でレジストマスク327a~327dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域328~332を形成する。ここでもフォスフィン( $\text{PH}_3$ )を用いたイオンドープ法で行い、この領域のリンの濃度は $1\times 10^{20}\sim 1\times 10^{21}\text{atoms/cm}^3$ (代表的には $2\times 10^{20}\sim 5\times 10^{20}\text{atoms/cm}^3$ )となるように調節する。

【0072】この工程によってnチャネル型TFTのソース領域もしくはドレイン領域が形成されるが、スイッ

チング用TFTでは、図4(A)の工程で形成したn型不純物領域322~324の一部を残す。この残された領域が、図1におけるスイッチング用TFTのLDD領域15a~15dに相当する。

【0073】次に、図4(C)に示すように、レジストマスク327a~327dを除去し、新たにレジストマスク333を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域334~337を形成する。ここではジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法により $3\times 10^{20}\sim 3\times 10^{21}\text{atoms/cm}^3$ (代表的には $5\times 10^{20}\sim 1\times 10^{21}\text{atoms/cm}^3$ )の濃度となるようにボロンを添加する。

【0074】なお、不純物領域334~337には既に $1\times 10^{16}\sim 5\times 10^{18}\text{atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0075】次に、レジストマスク333を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、 $550^\circ\text{C}$ 、4時間の熱処理を行う。

【0076】このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は $1\text{ppm}$ 以下、好ましくは $0.1\text{ppm}$ 以下とすることが望ましい。

【0077】次に、活性化工程が終了したら $300\text{nm}$ 厚のゲート配線338を形成する。ゲート配線338の材料としては、アルミニウム(Al)、銅(Cu)又は銀(Ag)を主成分(組成として $50\sim 100\%$ を占める。)とする金属膜を用いれば良い。配置としては図2のゲート配線211のように、スイッチング用TFTのゲート電極316、317(図1のゲート電極19a、19bに相当する)を電氣的に接続するように形成する。(図4(D))

【0078】このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域(画素部)を形成することができる。即ち、画面の大きさが対角 $10\text{インチ}$ 以上(さらには $30\text{インチ}$ 以上)のEL表示装置を実現する上で、本実施例の画素構造は極めて有効である。

【0079】次に、図5(A)に示すように、第1層間絶縁膜339を形成する。第1層間絶縁膜339としては、シリコンを含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $40$

0 nm~1.5  $\mu\text{m}$ とすれば良い。本実施例では、200 nm厚の窒化酸化シリコン膜の上に800 nm厚の酸化シリコン膜を積層した構造とする。

【0080】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0081】なお、水素化処理は第1層間絶縁膜339を形成する間に入れても良い。即ち、200 nm厚の窒化酸化シリコン膜を形成した後で上記のように水素化処理を行い、その後で残り800 nm厚の酸化シリコン膜を形成しても構わない。

【0082】次に、第1層間絶縁膜339に対してコンタクトホールを形成し、ソース配線340~343と、ドレイン配線344~346を形成する。なお、本実施例ではこの電極を、Ti膜を100 nm、Tiを含むアルミニウム膜を300 nm、Ti膜150 nmをスパッタ法で連続形成した三層構造の積層膜とする。勿論、他の導電膜でも良い。

【0083】次に、50~500 nm（代表的には200~300 nm）の厚さで第1パッシベーション膜347を形成する。本実施例では第1パッシベーション膜347として300 nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。なお、窒化酸化シリコン膜の形成に先立って $\text{H}_2$ 、 $\text{NH}_3$ 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜339に供給され、熱処理を行うことで、第1パッシベーション膜347の膜質が改善される。それと同時に、第1層間絶縁膜339に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0084】次に、図5(B)に示すように有機樹脂からなる第2層間絶縁膜348を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜348は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5  $\mu\text{m}$ （さらに好ましくは2~4  $\mu\text{m}$ ）とすれば良い。

【0085】次に、第2層間絶縁膜348及び第1パッシベーション膜347にドレイン配線346に達するコンタクトホールを形成し、透明導電膜でなる画素電極349を形成する。本実施例では画素電極349として酸化インジウムと酸化亜鉛との化合物でなる導電膜を120 nmの厚さに形成する。

【0086】次に、図5(C)に示すように絶縁膜350を形成する。絶縁膜350は100~300 nm厚の

珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。この絶縁膜350は画素と画素との間（画素電極と画素電極との間）を埋めるように形成される。この絶縁膜350は次に形成する発光層等の有機EL材料が画素電極349の端部を覆わないようにするために設けられる。

【0087】次に、発光層351をスピンコート法により形成する。具体的には、発光層351となる有機EL材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン等の溶媒に溶かして塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機EL材料でなる被膜（発光層）が形成される。本実施例では、緑色に発光する発光層としてポリフェニレンビニレンを50 nmの厚さに形成する。また、溶媒としては1,2-ジクロロメタンを用い、80~150℃のホットプレートで1分の熱処理を行って揮発させる。

【0088】次に、電子注入層352を20 nmの厚さに形成する。本実施例では電子注入層352としてフッ化リチウム膜を蒸着法により形成する。なお、電子注入層352としてその他のモノマー系有機材料やポリマー系有機材料を用いることが可能である。また、無機材料を用いても良い。

【0089】本実施例では発光層及び電子注入層でなる二層構造とするが、その他に正孔輸送層、正孔注入層、電子輸送層等を設けても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0090】発光層351及び電子注入層352を形成したら、仕事関数の小さい導電膜でなる陰極353を350 nmの厚さに形成する。本実施例では、リチウムとアルミニウムの合金を蒸着法により形成する。

【0091】こうして図5(C)に示すような構造のアクティブマトリクス基板が完成する。なお、絶縁膜350を形成した後、陰極353を形成するまでの工程をマルチチャンパー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【0092】ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0093】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、ラッチ、サンプリング回路（サンプル及びホールド回路）、D/Aコンバータなどが含まれる。

【0094】本実施例の場合、図5(C)に示すよう

に、nチャネル型TFT205は、ソース領域355、ドレイン領域356、LDD領域357及びチャネル形成領域358を含み、LDD領域357はゲート絶縁膜313を挟んでゲート電極315と重なっている。

【0095】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT205はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域357は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。

【0096】また、CMOS回路のpチャネル型TFT206は、ソース領域334、ドレイン領域335及びチャネル形成領域359を含む。この場合、ホットキャリア注入による劣化は殆ど気にならないので、特にLDD領域を設けなくても良いが、設けることも可能である。

【0097】なお、実際には図5(C)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部(シーリング材で囲まれた部分)を不活性気体、不活性固体もしくは不活性液体で充填したり、内部に吸湿性材料(例えば酸化バリウム)を配置するとEL素子の信頼性が向上する。

【0098】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて、EL素子を用いた電子装置が完成する。なお、本明細書中における電子装置には、外部から信号を入力するためのコネクタやそのコネクタに接続された集積回路も含まれるものとする。

【0099】また、本実施例のEL表示装置の回路構成例を図7に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路701、画素部708及びゲート側駆動回路709を有している。なお、本明細書中において、駆動回路部とはソース側駆動回路およびゲート側駆動回路を含めた総称である。

【0100】本実施例では画素部708にスイッチング用TFTとしてマルチゲート構造のnチャネル型TFTが設けられ、このスイッチング用TFTはゲート側駆動回路709に接続されたゲート配線とソース側駆動回路701に接続されたソース配線との交点に配置されている。また、スイッチング用TFTのドレイン領域はpチャネル型の電流制御用TFTのゲート電極に電氣的に接続されている。

【0101】ソース側駆動回路701は、シフトレジスタ

702、バッファ703、ラッチ(A)704、バッファ705、ラッチ(B)706、バッファ707を設けている。なお、アナログ駆動の場合はラッチ(A)、

(B)の代わりにサンプリング回路(サンプル及びホールド回路)を設ければ良い。また、ゲート側駆動回路709は、シフトレジスタ710、バッファ711を設けている。

【0102】なお、図示していないが、画素部708を挟んでゲート側駆動回路709の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【0103】なお、上記構成は、図3~5に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、 $\gamma$ 補正回路などの論理回路を同一基板上に形成することが可能であり、さらにはメモリやマイクロプロセッサ等を形成しようと考えている。

【0104】さらに、EL素子を保護するための封入工程まで行った後の本実施例のEL表示装置について図8(A)、(B)を用いて説明する。なお、必要に応じて図7で用いた符号を引用する。

【0105】図11(A)は、EL素子の封入までを行った状態を示す上面図である。点線で示された701はソース側駆動回路、708は画素部、709はゲート側駆動回路である。また、801はカバー材、802は第1シール材、803は第2シール材であり、第1シール材802で囲まれた部分のカバー材801とアクティブマトリクス基板との間には充填材(図示せず)が設けられる。

【0106】なお、804はソース側駆動回路701及びゲート側駆動回路709に入力される信号を伝達するための接続配線であり、外部入力端子となるFPC805からビデオ信号やクロック信号を受け取る。

【0107】ここで、図8(A)をA-A'で切断した断面に相当する断面図を図8(B)に示す。なお、図8(A)、(B)では同一の部位に同一の符号を用いている。

【0108】図8(B)に示すように、ガラス基板806上には画素部708、ゲート側駆動回路709が形成されており、画素部708は電流制御用TFT202とそのドレイン領域に電氣的に接続された画素電極349を含む複数の画素により形成される。また、ゲート側駆動回路709はnチャネル型TFT205とpチャネル型TFT206とを相補的に組み合わせたCMOS回路を用いて形成される。

【0109】画素電極349はEL素子の陽極として機

能する。また、画素電極349の両端には絶縁膜350が形成され、さらに発光層351、電子注入層352が形成される。また、その上にはEL素子の陰極353が形成される。

【0110】本実施例の場合、陰極353は全面素子に共通の配線としても機能し、接続配線804を経由してFPC805に電氣的に接続されている。さらに、画素部708及びゲート側駆動回路709に含まれる素子は全て陰極353で覆われている。この陰極353は共通配線としての機能以外に、EL素子を酸素や水分から保護するパッシベーション膜として機能と、電界遮蔽膜としての機能とを兼ねている。

【0111】次に、第1シール材802をディスペンサー等で形成し、スペーサー（図示せず）を散布してカバー材801を貼り合わせる。スペーサーはアクティブマトリクス基板とカバー材801との間の距離を確保するために散布される。そして、第1シール材802の内部に充填材807を真空注入法等により充填する。以上のプロセスは液晶ディスプレイのセル組み工程で用いられている技術がそのまま使える。なお、第1シール材802としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。また、第1シール材802はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、第1シール材802の内部に乾燥剤を添加してあっても良い。

【0112】EL素子を覆うようにして設けられた充填材807はカバー材801を接着するための接着剤としても機能する。充填材807としては、ポリイミド、アクリル、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。

【0113】この充填材807の内部に乾燥剤（図示せず）を設けておくと、吸湿効果を保ち続けられるので好ましい。このとき、乾燥剤は充填材に添加されたものであっても良いし、充填材に封入されたものであっても良い。また、上記スペーサー（図示せず）として吸湿性のある材料を用いることも有効である。

【0114】また、本実施例ではカバー材801としては、ガラス板、石英板、プラスチック板、セラミックス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフロライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。

【0115】次に、充填材807を用いてカバー材801を接着した後、第1シール材802の側面（露呈面）を覆うように第2シール材803を設ける。第2シール材803は第1シール材802と同じ材料を用いることができる。

【0116】以上のような方式を用いてEL素子を充填

材807に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置を作製することができる。

【0117】〔実施例2〕本実施例では、図2（B）に示した回路図とは異なる構造の画素とした場合の例について図9に示す。なお、本実施例において、901はスイッチング用TFT902のソース配線、903はスイッチング用TFT902のゲート配線、904は電流制御用TFT、905はコンデンサ、906、908は電流供給線、907はEL素子とする。

【0118】なお、本実施例の場合、電流制御用TFT904のゲート容量を電位保持のためのコンデンサ905として用いる。そのため、実質的に画素内にはコンデンサ905を形成していないため点線で示してある。

【0119】図9（A）は、二つの画素間で電流供給線906を共通とした場合の例である。即ち、二つの画素が電流供給線906を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0120】また、図9（B）は、電流供給線908をゲート配線903と平行に設けた場合の例である。なお、図9（B）では電流供給線908とゲート配線903とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を挟んで重なるように設けることもできる。この場合、電流供給線908とゲート配線903とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0121】また、図9（C）は、図9（B）の構造と同様に電流供給線908をゲート配線903a、903bと平行に設け、さらに、二つの画素を、電流供給線908を中心に線対称となるように形成する点に特徴がある。また、電流供給線908をゲート配線903aまたは903bのいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0122】なお、本実施例の構成は、実施例1に示したEL表示装置の画素構造として用いることが可能である。

【0123】〔実施例3〕本実施例では、図1に示した電流制御用TFT202の素子構造を異なるものとした例について図10を用いて説明する。具体的には、LDD領域の配置を異なるものとした例を示す。なお、図1に示した電流制御用TFT202と同一の部分については同一の符号を付す。

【0124】図10（A）に示す電流制御用TFT20

2Aは、図1に示した電流制御用TFT202からLDD領域33を省略した構造とした例である。図1に示した構造の場合、スイッチング用TFT201がトリプルゲート構造なのでオフ電流値が極めて小さく、さらにデジタル駆動方式とすれば、電流制御用TFT202Aのゲートの電位を保持するためのコンデンサは非常に小さい容量で済む。

【0125】従って、本実施例の図10(A)に示すように、ゲート電極35とドレイン領域32との間に形成されるゲート容量だけでも十分に電流制御用TFT202Aのゲートの電位を保持することが可能である。

【0126】次に、図10(B)に示す電流制御用TFT202Bは、ゲート電極35がゲート絶縁膜を挟んでLDD領域51の一部と重なっている例である。この場合、LDD領域51のうちゲート電極35に重なっていない部分は抵抗体として機能するためオフ電流値を低減する効果をもつ。即ち、図10(B)の構造とすることでオフ電流値の低い電流制御用TFTが得られる。

【0127】次に、図10(C)に示す電流制御用TFT202Cは、図10(B)に示したLDD領域51がソース領域31側だけでなくドレイン領域32側にも設けられている例である。本実施例ではLDD領域52とする。このような構造はアナログ駆動方式の際に用いられるサンプリング回路のように、電子の流れる方向が入れ替わる(ソース領域とドレイン領域とが反転する)ような場合に有効な構造である。

【0128】従って、図10(C)の構造をスイッチング用TFTに用いることも可能である。その場合も、ホットキャリア注入による劣化の抑制とオフ電流値の低減とを同時に図ることが可能である。

【0129】次に、図10(D)に示す電流制御用TFT202Dは、図1に示したLDD領域33がソース領域31側とドレイン領域32側の両方に設けられている例である。本実施例ではLDD領域53とする。このような構造はアナログ駆動方式の際に用いられるサンプリング回路のように、電子の流れる方向が入れ替わるような場合に有効な構造である。

【0130】なお、本実施例の構成はいずれも実施例1の電流制御用TFT202との置き換えが可能であり、実施例2と組み合わせることも可能である。

【0131】〔実施例4〕本実施例では、本発明のEL表示装置を大型基板を用いて複数個作製する場合について説明する。説明には図11～図13に示した上面図を用いる。なお、各上面図にはA-A'及びB-B'で切った断面図も併記する。

【0132】図11(A)は実施例1によって作製されたアクティブマトリクス基板にシール材を形成した状態である。61はアクティブマトリクス基板であり、第1シール材62が複数箇所に設けられている。また、第1シール材62は開口部63を確保して形成される。

【0133】第1シール材62はフィラー(棒状のスペーサ)を添加したものであっても良い。また、アクティブマトリクス基板61全体に球状のスペーサ64が散布される。スペーサ64の散布は第1シール材62の形成前でも後でも良い。いずれにしてもフィラー(図示せず)もしくはスペーサ64によってアクティブマトリクス基板61とその上のカバー材との距離を確保することが可能である。

【0134】なお、このスペーサ64に吸湿性をもたせることはEL素子の劣化を抑制する上で効果的である。また、スペーサ64は発光層から発した光を透過する材料でなることが望ましい。

【0135】このシール材62で囲まれた領域65内には画素部及び駆動回路部が含まれている。本明細書中ではこの画素部及び駆動回路部でなる部分をアクティブマトリクス部と呼ぶ。即ち、アクティブマトリクス基板61は、画素部及び駆動回路部の組み合わせでなるアクティブマトリクス部を1枚の大型基板に複数形成してなる。

【0136】図11(B)は、アクティブマトリクス基板61にカバー材66を張り合わせた状態である。本明細書中ではアクティブマトリクス基板61、第1シール材62及びカバー材66を含むセルをアクティブマトリクスセルと呼ぶ。

【0137】以上の張り合わせには液晶のセル組み工程と同様のプロセスを用いれば良い。また、カバー材66はアクティブマトリクス基板61と同じ面積の透明基板(または透明フィルム)を用いれば良い。従って、図11(B)の状態では、全てのアクティブマトリクス部に共通のカバー材として用いられる。

【0138】カバー材66を張り付けたら、アクティブマトリクスセルを分断する。本実施例ではアクティブマトリクス基板61及びカバー材66を分断するにあたってスクライバーを用いる。スクライバーとは、基板に細い溝(スクライブ溝)を形成した後でスクライブ溝に衝撃を与え、スクライブ溝に沿った亀裂を発生させて基板を分断する装置である。

【0139】なお、基板を分断する装置としては他にもダイサーが知られている。ダイサーとは、硬質カッター(ダイシングソーともいう)を高速回転させて基板に当てて分断する装置である。但し、ダイサー使用時は発熱と研磨粉の飛散を防止するためにダイシングソーに水を噴射する。従って、EL表示装置を作製する場合には水を用いなくても良いスクライバーを用いることが望ましい。

【0140】アクティブマトリクス基板61及びカバー材66にスクライブ溝を形成する順序としては、まず矢印(a)の方向にスクライブ溝67aを形成し、次に、矢印(b)の方向にスクライブ溝67bを形成する。このとき、開口部63付近を通るスクライブ溝は第1シール材62

を切断するように形成する。こうすることでアクティブマトリクスセルの端面に開口部63が現れるため、後の充填材の注入工程が容易となる。

【0141】こうしてスクライプ溝を形成したら、シリコン樹脂等の弾性のあるバーでスクライプ溝に衝撃を与え、亀裂を発生させてアクティブマトリクス基板61及びカバー材66を分断する。

【0142】図12(A)は1回目の分断後の様子であり、二つのアクティブマトリクス部を含むアクティブマトリクスセル68、69に分断される。次に、アクティブマトリクス基板61、第1シール材62及びカバー材66で形成された空間内に真空注入法により充填材70を注入する。真空注入法は液晶注入の技術として良く知られているので説明は省略する。このとき、充填材70の粘度は3~15cPが好ましい。このような粘度の充填材を選択しても良いし、溶媒等で希釈して所望の粘度としても良い。また、充填材に乾燥剤を添加した状態で真空注入法を行っても良い。

【0143】こうして図12(A)に示すように充填材70が充填される。なお、本実施例では複数のアクティブマトリクスセルに対して一度に充填材70を充填する方式を示したが、このような方式は対角0.5~1インチ程度の小さなEL表示装置の作製時に好適である。一方、対角5~30インチ程度の大きめのEL表示装置を作製する際は、一つずつのアクティブマトリクスセルに分断してから充填材70を充填すれば良い。

【0144】以上のようにして充填材70を充填した後、充填材70を硬化させてアクティブマトリクス基板61とカバー材66との密着性をさらに高める。充填材70が紫外線硬化樹脂であれば紫外線を照射し、熱硬化性樹脂であれば加熱する。但し、熱硬化性樹脂を用いる場合は、有機EL材料の耐熱性に留意する必要がある。

【0145】次に、再びアクティブマトリクス基板61及びカバー材66にスクライプ溝を形成する。順序としては、まず矢印(a)の方向にスクライプ溝71aを形成し、次に、矢印(b)の方向にスクライプ溝71bを形成する。このとき、分断後にアクティブマトリクス基板61に比べてカバー材66の面積が小さくなるようにスクライプ溝を形成しておく。

【0146】こうしてスクライプ溝を形成したら、シリコン樹脂等の弾性のあるバーでスクライプ溝に衝撃を与え、亀裂を発生させてアクティブマトリクスセル72~75に分断する。図13(A)は2回目の分断後の様子である。さらに、各アクティブマトリクスセル72~75にはFPC76を取り付ける。

【0147】最後に、図13(B)に示すように、アクティブマトリクスセル72~75の基板端面(第1シール材62または充填材70の露呈面)及びFPC76を覆うようにして第2シール材77を形成する。第2シール材77は脱ガスの少ない紫外線硬化樹脂等で形成す

ば良い。

【0148】以上のプロセスにより図13(B)に示すようなEL表示装置が完成する。以上のように、本実施例を実施することで1枚の基板から複数のEL表示装置を作製することができる。例えば、620mm×720mmの基板からは対角13~14インチのEL表示装置が6個作製可能であり、対角15~17インチのEL表示装置が4個作製可能である。従って、大幅なスループットの向上と製造コストの削減が達成できる。

【0149】なお、本実施例のEL表示装置の作製工程は、実施例1~3のいずれの構成を含むEL表示装置を作製するにも用いることが可能である。

【0150】〔実施例5〕本実施例では、実施例4において充填材70を用いない場合の例について説明する。本実施例では、アクティブマトリクスセルを真空中においた後、第1シール材62で囲まれた領域内に1~2気圧に加圧した乾燥した不活性ガスを封入することの特徴とする。不活性ガスとしては、窒素もしくは希ガス(代表的にはアルゴン、ヘリウムもしくはネオン)を用い

ば良い。

【0151】なお、本実施例は実施例4において真空注入する材料を気体とする以外は実施例4のプロセスをそのまま用いることができる。従って、本実施例のEL表示装置の作製工程は、実施例1~3のいずれの構成を含むEL表示装置を作製するにも用いることが可能である。

【0152】〔実施例6〕実施例1~5ではEL表示装置を例にして説明してきたが、本発明はアクティブマトリクス型のエレクトロクロミクスディスプレイ(ECD)、フィールドエミッションディスプレイ(FED)または液晶ディスプレイ(LCD)に用いることもできる。

【0153】即ち、TFTに電気的に発光素子または受光素子を接続した電子装置のすべてに本発明を用いることが可能である。

【0154】〔実施例7〕実施例1では、結晶質珪素膜302の形成手段としてレーザー結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

【0155】本発明の実施にあたって非晶質珪素膜を形成した後、特開平7-130652号公報もしくは特開平8-78329号公報に記載された技術を用いて結晶化を行うこともできる。同公報に記載された技術は、結晶化を促進(助長)する触媒として、ニッケル等の元素を用い、結晶性の高い結晶質珪素膜を得る技術である。

【0156】また、結晶化工程が終了した後で、結晶化に用いた触媒を除去する工程を行っても良い。その場合、特開平10-270363号もしくは特開平8-330602号に記載された技術により触媒をゲッタリングすれば良い。

【0157】また、本出願人による特願平11-076967の出願明細書に記載された技術を用いてTFTを形成しても良い。

【0158】なお、実施例1~6のいずれの構成により電子装置を作製する場合においても本実施例の作製工程を実施することは可能である。

【0159】〔実施例8〕本実施例では、本発明を用いて作製されたEL表示装置の画像写真を図16に示す。図16(A)は発光層としてモノマー系有機EL材料を用いて作製したEL表示装置の画像である。また、図16(B)は発光層としてポリマー系有機EL材料を用いて作製したEL表示装置の画像である。

【0160】〔実施例9〕図1に示した電子装置においては、下地膜12に窒化珪素膜もしくは窒化酸化珪素膜を設け、第1パッシベーション膜38に窒化珪素膜もしくは窒化酸化珪素膜を設ける構成とすることが好ましい。

【0161】このような構造とすると、スイッチング用TFT201および電流制御用TFT202が窒化珪素膜もしくは窒化酸化珪素膜で挟まれた構造となり、外部からの水分や可動イオンの侵入を効果的に防ぐことができる。

【0162】また、第2層間絶縁膜(平坦化膜)39と画素電極40の間に窒化珪素膜もしくはDLC(ダイヤモンドライクカーボン)膜を設け、さらに陰極44の上に前述の窒化珪素膜もしくはDLC膜を設けることは好ましい。

【0163】このような構造とすると、EL素子203が窒化珪素膜もしくはDLC膜で挟まれた構造となり、外部からの水分や可動イオンの侵入を防ぐだけでなく、酸素の侵入をも効果的に防ぐことができる。EL素子中の発光層などの有機材料は酸素によって容易に酸化して劣化するため、本実施例のような構造とすることで大幅に信頼性を向上することができる。

【0164】以上のように、TFTを保護するための対策とEL素子を保護するための対策を併用して施すことで電子装置全体の信頼性を高めることができる。

【0165】なお、本実施例の構成は、実施例1~実施例8のいずれの構成とも自由に組み合わせることが可能である。

【0166】〔実施例10〕本発明を実施して形成されたEL表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のディスプレイとして本発明のEL表示装置を筐体に組み込んだディスプレイ(以下、ELディスプレイという)を用いるとよい。

【0167】なお、ELディスプレイには、パソコン用

ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電気器具の表示部として本発明のEL表示装置を用いることができる。

【0168】その様な本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはデジタルバーサタイルディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL表示装置を用いることが望ましい。それら電気器具の具体例を図14、図15に示す。

【0169】図14(A)はELディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0170】図14(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置は表示部2102に用いることができる。

【0171】図14(C)は頭部取り付け型のELディスプレイの一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、EL表示装置2206等を含む。本発明はEL表示装置2206に用いることができる。

【0172】図14(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明のEL表示装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0173】図14(E)は携帯型(モバイル)コンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示部2405等を含む。本発明のEL表示装置は表示部2405に用いることができる。

【0174】図14(F)はパーソナルコンピュータで



あり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のEL表示装置は表示部2503に用いることができる。

【0175】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型もしくはリア型のプロジェクターに用いることも可能となる。

【0176】また、上記電子装置はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、EL表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまつては動画全体もぼやけてしまう。従つて、画素間の輪郭を明瞭にするという本発明のEL表示装置を電子装置の表示部として用いることは極めて有効である。

【0177】また、EL表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従つて、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にEL表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0178】ここで図15（A）は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のEL表示装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0179】また、図15（B）は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のEL表示装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置

において特に有効である。

【0180】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～9に示したいずれの構成の電子装置を表示部に用いても良い。

【0181】

【発明の効果】本発明により電流制御用TFTのゲート電圧を保持するために従来用いられてきたコンデンサを省略することが可能となり、一画素の有効発光面積を大幅に向上させることができる。そのため、明るい画像表示の可能な電子装置を得ることができる。さらに、本発明の電子装置を表示部として用いることで高性能な電気器具が得られる。

【図面の簡単な説明】

【図1】 電子装置の画素部の断面構造を示す図。

【図2】 画素部の上面構造及び構成を示す図。

【図3】 アクティブマトリクス基板の作製工程を示す図。

【図4】 アクティブマトリクス基板の作製工程を示す図。

【図5】 アクティブマトリクス基板の作製工程を示す図。

【図6】 画素部を拡大した図。

【図7】 EL表示装置の回路構成を示す図。

【図8】 EL表示装置の断面構造を示す図。

【図9】 画素の回路構成を示す図。

【図10】 電流制御用TFTの断面構造を示す図。

【図11】 EL表示装置の多面取りプロセスを示す図。

【図12】 EL表示装置の多面取りプロセスを示す図。

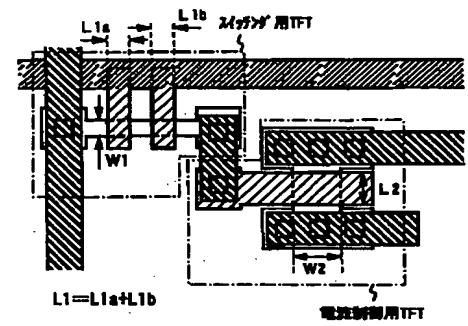
【図13】 EL表示装置の多面取りプロセスを示す図。

【図14】 電子装置の具体例を示す図。

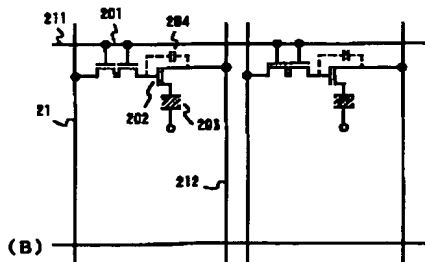
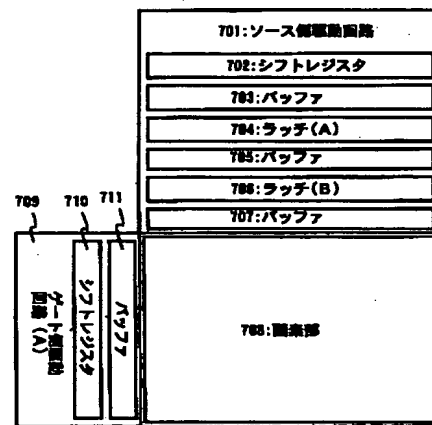
【図15】 電子装置の具体例を示す図。

【図16】 本発明を用いたEL表示装置の画像を示す写真。

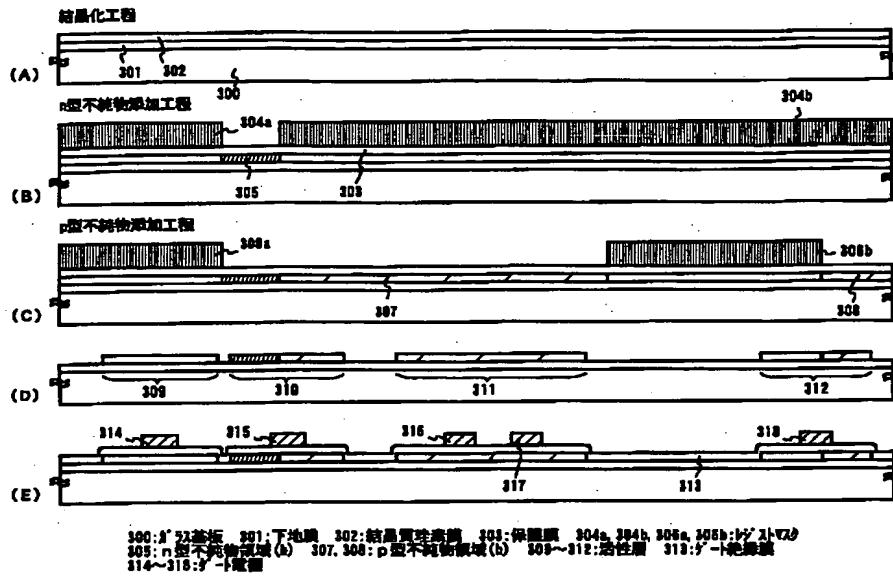
【图 6】



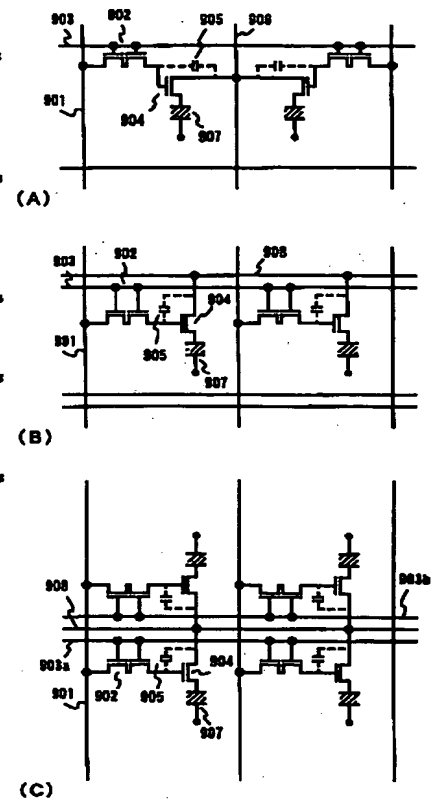
【図 7】



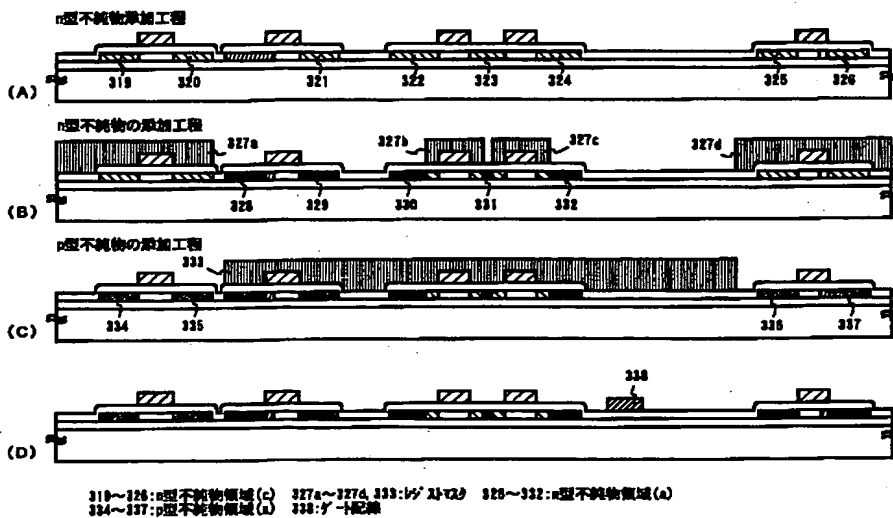
【図 3】



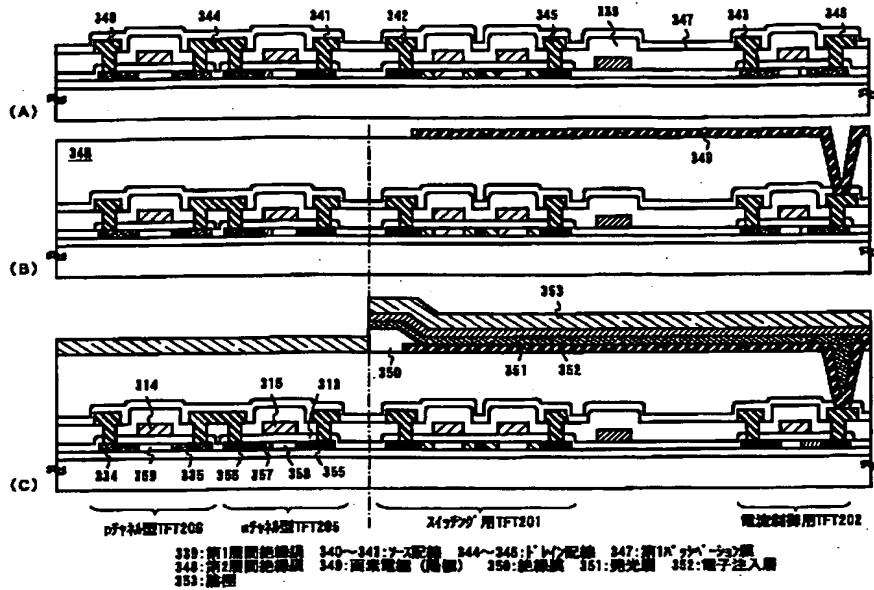
【図 9】



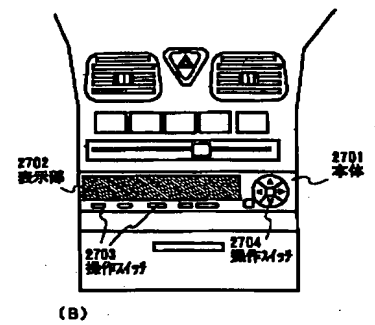
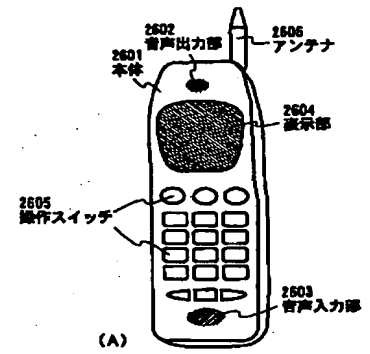
【図 4】



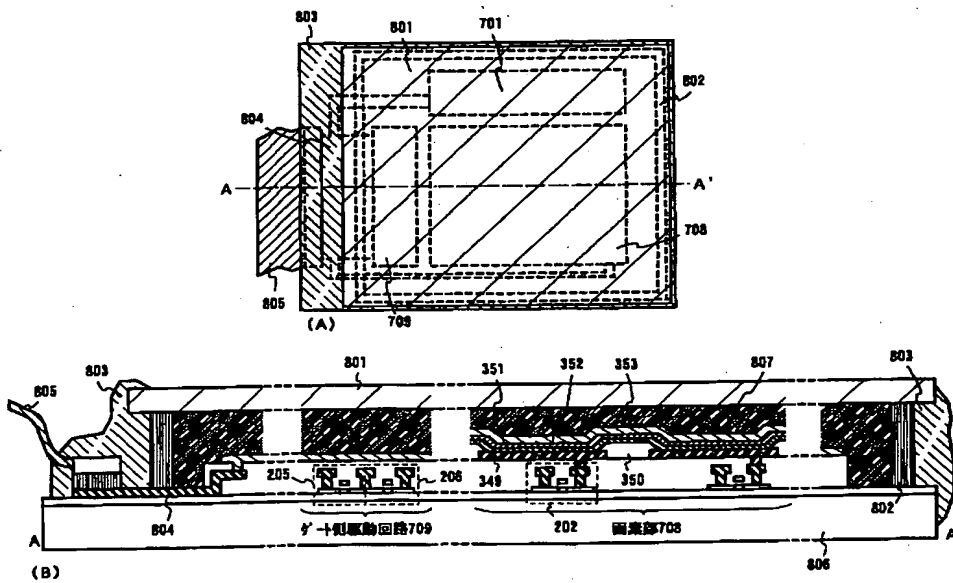
【図5】



【図15】

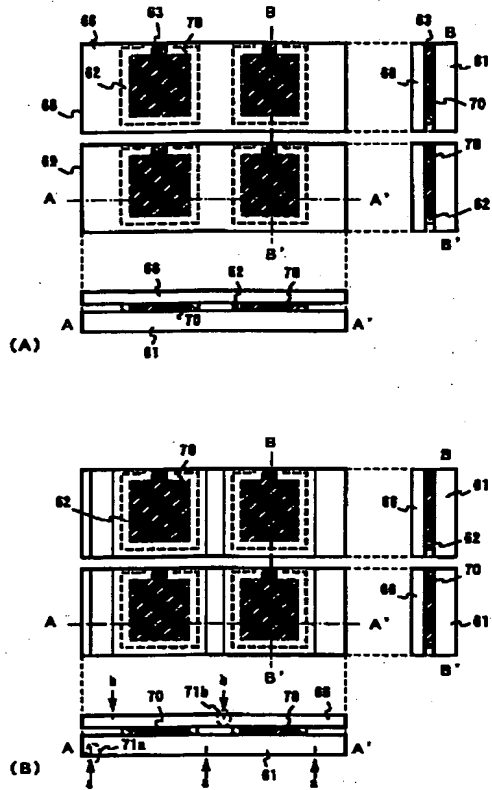


【図8】

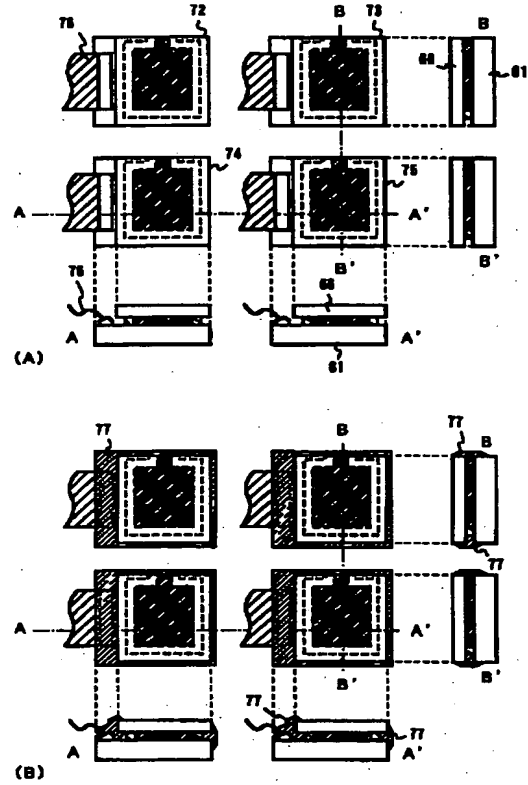




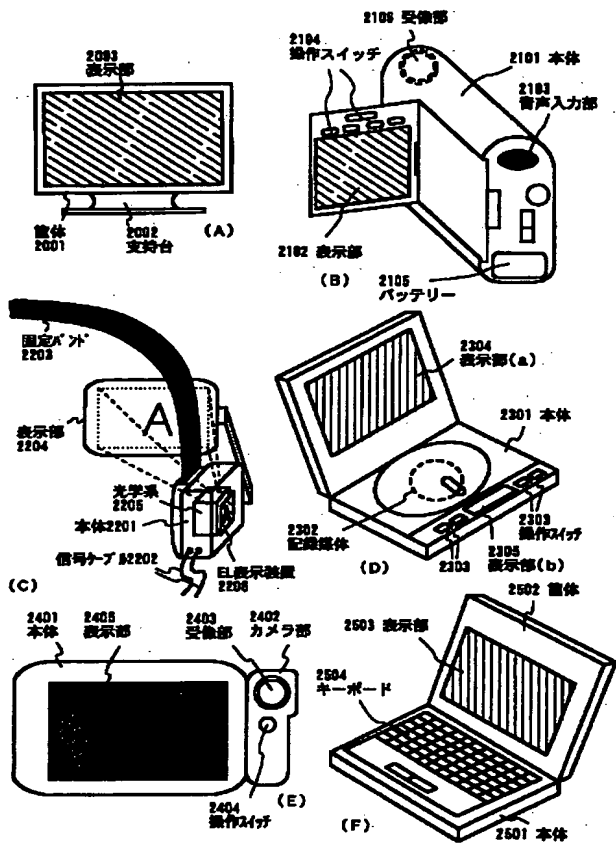
【図 12】



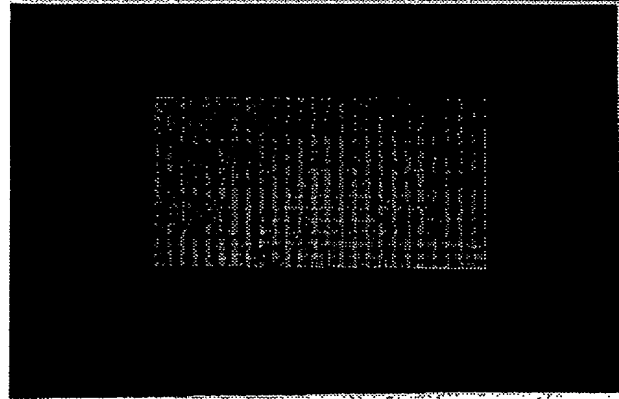
【図 13】



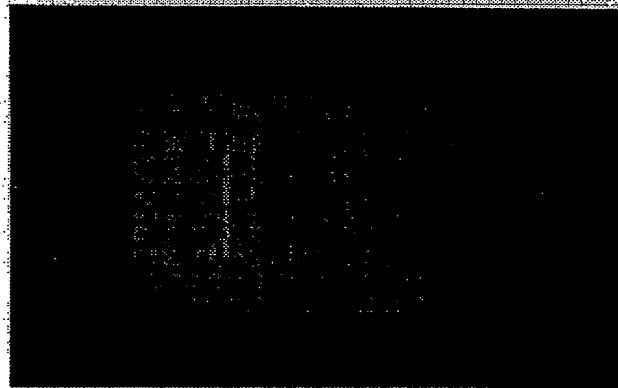
【図14】



【図16】



(A)



(B)

フロントページの続き

(72)発明者 犬飼 和隆  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 水上 真由美  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内